

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

J1002 U.S. PTO  
10/003386  
10/30/01

#3 | Priority  
Paper  
2-13-02  
RTH/ks

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2001년 제 8755 호  
Application Number

출원 년 월 일 : 2001년 02월 21일  
Date of Application

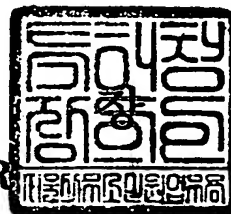
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 03 월 28 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.02.21
【국제특허분류】	H01L
【발명의 명칭】	균일한 접촉 저항을 갖는 콘택을 구비한 반도체 소자 및 그의 제조방법
【발명의 영문명칭】	Semiconductor device with contacts having uniform contact resistance and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정문모
【성명의 영문표기】	JEONG, Mun Mo
【주민등록번호】	600401-1005714
【우편번호】	133-020
【주소】	서울특별시 성동구 하왕십리동 258번지 청계백산아파트 107동 1504호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 778,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 기판 상의 일 부분에 순차적으로 배선층, 캐핑층 및 식각 저지층을 형성한다. 식각 저지층에 대해 식각 선택비가 높은 물질로 이루어지는 층간 절연층으로 캐핑층을 포함한 반도체 기판을 덮은 뒤, 층간 절연층의 소정 부분을 식각하여 식각 저지층의 표면 일부를 노출시키는 제 1 콘택홀을 형성한다. 제 1 콘택홀에 의해 노출된 식각 저지층의 전부 또는 식각 저지층의 전부와 캐핑층의 두께 일부를 제거하여 제 2 콘택홀을 형성함으로써, 하부 배선층의 토폴로지나 하부 배선층을 덮는 층간 절연층의 불량한 평탄도에 관계없이, 반도체 기판 전면에 걸쳐 균일한 콘택 저항을 갖는 반도체 소자를 제조할 수 있다.

**【대표도】**

도 4a

**【색인어】**

식각 저지막, 캐핑막, 콘택 저항

**【명세서】****【발명의 명칭】**

균일한 접촉 저항을 갖는 콘택을 구비한 반도체 소자 및 그의 제조 방법  
{Semiconductor device with contacts having uniform contact resistance and method for manufacturing the same}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따라 형성된 다층 배선층 연결용 콘택홀을 포함하는 반도체 소자를 보여주는 도면이다.

도 2, 도 3, 도 4a 및 도 4b는 본 발명에 따른 다층 배선층 연결용 콘택홀을 포함하는 반도체 소자의 제조 단계를 보여주는 도면들이다.

도 5a는 콘택홀과 캐핑막과의 관계(도 3의 참조 번호 80)를 보여주는 도면이다.

도 5b는 콘택홀과 캐핑막과의 관계를 보여주는 다른 예의 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 제조 방법 및 그를 이용하여 형성된 반도체 소자에 관한 것으로, 특히 다층 배선층을 상호 연결하는 콘택의 접촉 저항을 균일하게 하는 콘택홀 형성 방법 및 이를 이용하여 형성된 콘택홀을 포함하는 반도체 소자의 제조 방법에 관한 것이다.

<6> 반도체 소자의 고집적됨에 따라 다층 배선 구조가 요구되고 있다. 그런데, 통상

배선층이 놓여지는 절연층의 평탄도가 양호하지 않으므로, 반도체 기판 전면에 걸쳐 콘택 저항이 불균일하게 되는 문제가 있다. 이런 문제를 도 1을 참고로 설명한다.

<7> 반도체 기판(10) 상에 트랜지스터(도시되지 않음) 및/또는 캐패시터(도시되지 않음)를 형성한 뒤 배선층을 형성하기 전에 층간 절연층(12)을 형성한다. 층간 절연층(12)을 평탄화하는 방법으로 씨엠피(CMP:Chemical Mechanical Polishing)를 이용할 수 있다. 그러나, 현재의 씨엠피 기술로는 반도체 기판 전면을 균일한 두께로 식각하는 것이 어렵고, 씨엠피 설비 자체가 고가이므로, 통상 층간 절연층(12)을 평탄화하지 않은 상태로 그 상부에 다른 층들(도 1의 14, 16)을 형성한다. 따라서, 배선층(14) 상부에 형성되는 층간 절연층(18)의 두께 또한 반도체 기판 전면에서 걸쳐 불균일하게 된다.

<8> 한편, 배선층(14)으로 알루미늄을 포함하는 금속을 사용하고 있으므로, 배선층(14)을 덮는 층간 절연층(18)의 소정 부분을 식각하여 콘택홀(20a, 20b, 20c)을 형성하면, 층간 절연층(18)내에 존재하는 산소 성분이 외확산되어 콘택홀(20a, 20b, 20c)에 의해 노출된 배선층(14)의 알루미늄 성분과 반응한다. 이 반응에 의해 콘택홀의 바닥면 즉 콘택홀에 노출된 배선층의 상면에 절연층인 알루미늄 산화막(도시되지 않음)이 형성된다. 따라서, 알루미늄을 포함하는 배선층(14)의 상면에 도전성이며 산소와 알루미늄의 결합을 차단하는 기능을 하는 캐핑층(16)을 형성하였다. 이런 캐핑층(16)으로는 통상 TiN, Ti/TiN 또는 TaN 등을 사용하였다. 그리고 캐핑층의 저항이 크므로 캐핑층(16)의 두께 일부를 식각하여 콘택홀(20a, 20b, 20c)의 바닥면이 캐핑층(16) 내부에 위치하도록 하였다.

<9> 그런데, 전술한 바와 같이 배선층(14)과 캐핑층(16)을 덮는 층간 절연층(18)의 두께가 반도체 기판 전면에서 걸쳐 균일하지 않으므로, 콘택홀(20a, 20b, 20c) 형성 식각 공

정 이후에 콘택홀의 바닥면 하부에 남게 되는 캐핑층(16)의 두께가 반도체 기판(10) 전면에 걸쳐 불균일하게 된다. 따라서, 배선층(14)의 콘택 저항이 불균일하게 되므로, 반도체 소자 각 영역에서의 정보 전달 속도 등이 다르게 되는 등의 반도체 소자의 신뢰성이 저하되게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<10> 따라서, 본 발명이 이루고자 하는 기술적 과제는 반도체 기판 전면에 걸쳐 균일한 콘택 저항을 갖도록 하는 콘택홀을 포함한 반도체 소자를 제공하는 것이다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는 반도체 기판 전면에 균일한 콘택 저항을 갖도록 하는 콘택홀을 포함하는 반도체 소자의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<12> 본 발명이 이루고자 하는 기술적 과제를 달성하기 위한 반도체 소자는, 반도체 기판 상의 일부분에 형성된 배선층, 배선층이 형성된 반도체 기판 전면에 형성되고 배선층 상부에 위치하는 콘택홀을 구비하는 층간 절연층, 배선층의 상면에서부터 적어도 콘택홀의 바닥면까지의 영역을 점유하는 캐핑층, 콘택홀의 양쪽 외측면을 따라 캐핑층 상면에 형성되는 식각 저지층 및 콘택홀을 채우는 도전층을 포함한다.

<13> 한편, 캐핑층은 콘택홀의 바닥면 및 콘택홀의 양쪽 외측면과 접촉할 수 도 있다. 그리고, 식각 저지층은 통상 반도체 소자에서 사용하는 무기물인 ARL(anti reflecting layer) 또는 유기물인 ARC(anti reflecting coating)으로 이루어지며, 배선층은 알루미늄을 포함하는 금속으로 이루어지고, 캐핑층은 TiN, Ti/TiN 또는 TaN으로 이루어질 수 있다.

- <14> 그리고, 도전층은 콘택홀 내에만 형성되는 도전성 플러그이거나 콘택홀 내부를 채우면서 층간 절연층 상면에도 형성되는 상부 배선층일 수 있다.
- <15> 본 발명의 다른 목적을 달성하기 위해서는 반도체 기판 상의 일 부분에 순차적으로 배선층, 캐핑층 및 식각 저지층을 형성한다. 식각 저지층에 대해 식각 선택비가 높은 물질로 이루어지고, 식각 저지층의 표면 일부를 노출시키는 제 1 콘택홀을 구비하는 층간 절연층을, 식각 저지층이 형성된 반도체 기판 상에 형성한다. 제 1 콘택홀은 건식 식각을 이용하여 형성한다. 제 1 콘택홀에 의해 노출된 식각 저지층을 전부 제거하여 캐핑층의 상면을 노출시키는 제 2 콘택홀을 형성한다. 그리고 제 2 콘택홀을 채우는 도전층을 형성한다. 한편, 제 2 콘택홀 형성 단계와 도전층 형성 단계 사이에, 제 2 콘택홀에 의해 노출된 캐핑층의 두께 일부를 식각하여, 깊이가 확장된 제 3 콘택홀을 형성하고 이후에, 제 2 콘택홀 및 제 3 콘택홀에 도전층을 채울 수 있다. 제 2 콘택홀 및 제 3 콘택홀의 형성은 건식 식각 방법을 이용하되 식각 저지층과 캐핑층의 식각 선택비가 작은 식각 소스를 사용한다. 그리고, 배선층, 캐핑층 및 식각 저지층을 형성하는 단계에서, 이들 세층을 구성하는 물질층들을 순차적으로 형성한 뒤, 동일 식각 공정으로 패터닝할 수 있다.
- <16> 여기서, 식각 저지층은 ARL 또는 ARC 이며, 배선층은 알루미늄을 포함하는 금속으로 이루어지며, 캐핑층은 TiN, Ti/TiN 또는 TaN으로 이루어질 수 있다. 그리고, 층간 절연층은 실리콘산화막, 실리콘질화막, BPSG(boroPhosphore Silicate Glass), PSG(Phosphore Silicate Glass), BSG(Borophosphore Silicate Glass), TEOS(TetraEthylOrthoSilicate), PE-TEOS(Plasma Enhanced TEOS) 및 USG(Undoped Silicate Glass)로 구성된 군에서 선택된 어느 하나로 이루어질 수 있다.

- <17> 또한, 도전층은 제 2 콘택홀 내부 또는 제 2 콘택홀과 제 3 콘택홀 내부에만 형성되는 도전성 플러그이거나 이들 콘택홀 내부와 층간 절연층 상면에도 형성되는 상부 배선층일 수 있다.
- <18> 하부 배선층과 상부 배선층간의 콘택 저항이 하부 배선층 하부에 위치하는 층간 절연층의 평탄도와 무관하게, 반도체 기판 전면에 걸쳐 균일하게 되므로, 반도체 소자의 신뢰성의 저하를 막을 수 있다.
- <19> 이하 본 발명을 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.
- <20> 도 2에서, 반도체 기판(50) 상에 트랜지스터(도시되지 않음) 및/또는 캐패시터(도시되지 않음)를 형성한 뒤 배선층을 형성하기 전에 제 1 층간 절연층(52)을 형성한다.
- <21> 제 1 층간 절연층(52) 전면에 배선용 도전층(도시되지 않음), 캐핑용 물질층(도시되지 않음) 및 식각 저지용 물질층(도시되지 않음)을 순차적으로 형성한 뒤, 식각 저지용 물질층을 패터닝하고 이를 이용하여 계속 캐핑용 물질층 및 배선용 도전층을 패터닝하여, 순차적으로 적층된 배선층(54), 캐핑층(56) 및 식각 저지층(58)을 형성한다. 배선층(54)은 알루미늄을 포함한 금속으로 이루어지며, 캐핑층(56)은 TiN, Ti/TiN 또는 TaN으로 이루어진다. 식각 저지층(58)은 이후에 형성되는 제 2 층간 절연층(60)과의 식각 선택비가 큰 물질로 이루어지며, 그 예로 통상 반도체 소자에서 사용하는 무기물인 ARL(anti reflecting layer) 또는 유기물인 ARC(anti reflecting coating)으로 이루어진다.
- <22> 식각 저지층(58)까지 형성된 제 1 층간 절연층(52) 상부 전면에 제 2 층간 절연층(60)을 형성한다. 제 2 층간 절연층(60)은 실리콘산화막, 실리콘질화막,

BPSG(boroPhosphore Silicate Glass), PSG(Phosphore Silicate Glass), BSG(Borophosphore Silicate Glass), TEOS(TetraEthylOrthoSilicate), PE-TEOS(Plasma Enhanced TEOS) 및 USG(Undoped Silicate Glass)로 구성된 군에서 선택된 어느 하나로 이루어진다. 제 2 층간 절연층(60)도 제 1 층간 절연층(52)과 같이 그 표면의 평탄도가 양호하지 않으므로, 가장 왼쪽에 배치된 식각 저지층(58) 상부의 제 2 층간 절연층(60)의 두께와 가운데 부분에 배치된 식각 저지층(58) 상부의 제 2 층간 절연층(60)의 두께 및 오른쪽에 배치된 식각 저지층(58) 상부의 제 2 층간 절연층(60)의 두께가 각각 다르다. 구체적으로, 가운데 배치된 식각 저지층(58) 상부의 층간 절연층(60)의 두께가 가장 두껍다.

<23> 이후, 제 2 층간 절연층(60)의 일 부분을 식각하여 제 1 콘택홀 내지 제 3 콘택홀(62a, 62b, 62c)을 형성한다. 식각 방법으로 건식 식각 방법을 사용한다. 제 1 콘택홀(62a)은 왼쪽에 배치된 식각 저지층을 노출시키며, 제 2 콘택홀(62b)은 가운데 배치된 식각 저지층을 노출시키며 그리고 제 3 콘택홀(62c)은 왼쪽에 배치된 식각 저지층을 노출시킨다. 전술한 바에 따르면, 제 1 내지 제 3 콘택홀(62a, 62b, 62c)을 형성하기 위해 각 부분에서 제거되는 층간 절연층(60)의 두께가 다르며, 특히 제 2 콘택홀(62b) 형성을 위해 제거되어야 하는 층간 절연층(60)의 두께가 가장 두껍다. 그런데 식각 저지층(58)은 층간 절연층(60)에 대해 식각 선택비가 큰 물질로 이루어지므로, 제 1 콘택홀(62a) 및 제 3 콘택홀(62c) 형성 후, 제 2 콘택홀(62b)을 형성하기 위해 가운데 부분에 남게되는 층간 절연층의 일부에 대한 식각 공정을 진행하더라도 제 1 콘택홀(62a) 및 제 3 콘택홀(62c)에 의해 노출되는 식각 저지층들(58)은 거의 식각되지 않는다.

<24> 도 3 에서, 제 1 콘택홀 내지 제 3 콘택홀(62a, 62b 및 62c)에 의해 노출된 식각

저지층(58)의 전부와 식각 저지층(58) 하부의 캐핑층(56)의 일부 두께를 제거하여, 깊이가 확장된 제 4 콘택홀 내지 제 6 콘택홀(64a, 64b, 64c)을 형성한다. 제 4 콘택홀 내지 제 6 콘택홀(64a, 64b, 64c) 형성을 위한 식각으로 건식 식각 방법을 채용하며, 식각 저지층(58)과 캐핑층(56)의 식각 선택비가 낮은 식각 소스를 사용한다. 제 4 콘택홀(64a)은 제 1 콘택홀(도 2의 62a)에서 확장된 것이며, 제 5 콘택홀(64b)은 제 2 콘택홀(도 2의 62b)에서 확장된 것이고 제 6 콘택홀(64c)은 제 3 콘택홀(62c)에서 확장된 것이다. 그런데, 제 1 콘택홀 내지 제 3 콘택홀(62a, 62b, 62c)의 바닥면이 모두 식각 저지층(58) 상면에 위치하고 있었으므로, 제 4 콘택홀 내지 제 6 콘택홀(64a, 64b, 64c) 형성 공정시 제거되는 식각 저지층(도 2의 58) 및 캐핑층(도 2의 56)의 두께도 반도체 기판 전면에 걸쳐 균일하게 된다. 따라서, 제 4 내지 제 6 콘택홀(64a, 64b, 64c) 형성 후 남게되는 캐핑층(56a)의 두께는 반도체 기판 전면에 걸쳐 균일하게 되므로, 이 부분에서의 배선층의 접촉 저항 또한 균일하게 된다.

<25> 한편, 참조 번호 80으로 표시된 제 5 콘택홀(64b) 부분의 식각 저지층(58a), 캐핑층(56a) 및 배선층(54)의 확대도는 도 5a에 도시되어 있다. 그런데, 제 4 내지 제 6 콘택홀의 바닥면이 캐핑층(56a)의 바로 상면에 위치할 수도 있으며, 이는 도 5b에 나타나 있다.

<26> 다음, 제 4 콘택홀 내지 제 6 콘택홀(64a, 64b, 64c)을 포함하는 제 2 층간 절연층(60) 전면에 도전층을 형성하여 이들 콘택홀들을 채운다. 도전층으로는 알루미늄 또는 텅스텐이 사용될 수 있다. 도 4a에는 도전층(66)이 제 4 콘택홀 내지 제 6 콘택홀(64a, 64b, 64c)을 채움과 동시에 제 2 층간 절연층(60) 상면에도 형성되는 상부 배선층(66)이

도시되어 있다. 한편 도 4b에서는 제 4 내지 제 6 콘택홀(64a, 64b, 64c) 내에만 도전층이 채워진 랜딩 플러그(68a, 68b, 68c)가 도시되어 있다.

**【발명의 효과】**

<27>        본 발명은 하부 배선층의 토폴로지나 하부 배선층을 덮는 층간 절연층의 불량한 평탄도에 관계없이, 반도체 기판 전면에 걸쳐 하부 배선층과 상부 배선층을 연결시키는 콘택홀의 바닥면을, 하부 배선층 상부에 위치하는 캐핑층의 상면 또는 내부에 위치케 할 수 있다. 따라서, 반도체 기판 전면에 걸쳐 콘택 저항이 균일하게 되는 이점이 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판을 준비하는 단계,

상기 반도체 기판 상의 일 부분에 순차적으로 배선층, 캐핑층 및 식각 저지층을 형성하는 단계,

상기 식각 저지층에 대해 식각 선택비가 높은 물질로 이루어지고, 상기 식각 저지층의 표면 일부를 노출시키는 제 1 콘택홀을 구비하는 층간 절연층을, 상기 식각 저지층이 형성된 반도체 기판 상에 형성하는 단계,

상기 제 1 콘택홀에 의해 노출된 상기 식각 저지층을 전부 제거하여 상기 캐핑층의 상면을 노출시키는 제 2 콘택홀을 형성하는 단계 및

상기 제 2 콘택홀을 채우는 도전층을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 제 2 콘택홀 형성 단계와 상기 도전층 형성 단계 사이에, 상기 제 2 콘택홀에 의해 노출된 상기 캐핑층의 두께 일부를 식각하여, 깊이가 확장된 제 3 콘택홀을 형성하는 단계를 더 포함하고, 상기 도전층 형성 단계에서, 상기 제 2 콘택홀 및 상기 제 3 콘택홀에 도전층이 채워지는 반도체 소자의 제조 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 식각 저지층은 ARL 또는 ARC 인 반도체 소자의 제조 방법.

**【청구항 4】**

제 1 항 또는 제 2 항에 있어서, 상기 배선층은, 알루미늄을 포함하는 금속으로 이루어진 반도체 소자의 제조 방법

**【청구항 5】**

제 1 항 또는 제 2 항에 있어서, 상기 캐핑층은 TiN, Ti/TiN 또는 TaN으로 이루어지는 반도체 소자의 제조 방법.

**【청구항 6】**

제 1 항 또는 제 2 항에 있어서, 상기 층간 절연층은 실리콘산화막, 실리콘질화막, BPSG, PSG, BSG, TEOS, PE-TEOS 및 USG로 구성된 군에서 선택된 어느 하나인 반도체 소자의 제조 방법.

**【청구항 7】**

제 1 항에 있어서, 상기 배선층, 상기 캐핑층 및 상기 식각 저지층을 형성하는 단계에서, 이들 세층을 구성하는 물질층들을 순차적으로 형성한 뒤, 동일 식각 공정으로 패터닝하여 형성하는 반도체 소자의 제조 방법.

**【청구항 8】**

제 1 항에 있어서, 상기 도전층은 상기 제 2 콘택홀 내에만 형성되는 도전성 플러그인 반도체 소자의 제조 방법.

**【청구항 9】**

제 2 항에 있어서, 상기 도전층은 상기 제 2 콘택홀 및 상기 제 3 콘택홀 내에만 형성되는 도전성 플러그인 반도체 소자의 제조 방법.

**【청구항 10】**

제 1 항에 있어서, 상기 도전층은 상기 제 2 콘택홀 내부를 채우면서 상기 층간 절연층 상면에도 형성되는 상부 배선층인 반도체 소자의 제조 방법.

**【청구항 11】**

제 2 항에 있어서, 상기 도전층은 상기 제 2 콘택홀 내부와 상기 제 3 콘택홀 내부를 채우면서 상기 층간 절연층 상면에도 형성되는 상부 배선층인 반도체 소자의 제조 방법.

**【청구항 12】**

제 1 항 또는 제 2 항에 있어서, 상기 제 1 콘택홀은 건식 식각을 이용하여 형성되는 반도체 소자의 제조 방법.

**【청구항 13】**

제 1 항 또는 제 2 항에 있어서, 상기 제 2 콘택홀과 제 3 콘택홀의 형성은 건식 식각을 이용하되, 상기 식각 저지층과 상기 캐핑층의 선택비가 낮은 식각 소스를 사용하는 반도체 소자의 제조 방법.

**【청구항 14】**

반도체 기판,

상기 반도체 기판 상의 일부분에 형성된 배선층,

상기 배선층이 형성된 반도체 기판 전면에도 형성되고 상기 배선층 상부에 위치하는 콘택홀을 구비하는 층간 절연층,

상기 배선층의 상면에서부터 적어도 상기 콘택홀의 바닥면까지의 영역을 점유하는 캐핑층

상기 콘택홀의 양쪽 외측면을 따라 상기 캐핑층 상면에 형성되는 식각 저지층 및 상기 콘택홀을 채우는 도전층을 포함하는 반도체 소자.

【청구항 15】

제 14 항에 있어서, 상기 캐핑층은 상기 콘택홀의 바닥면 및 상기 콘택홀의 양쪽 외측면과 접촉하는 반도체 소자.

【청구항 16】

제 14 항 또는 제 15 항에 있어서, 상기 식각 저지층은 ARL 또는 ARC 인 반도체 소자.

【청구항 17】

제 14 항 또는 제 15 항에 있어서, 상기 배선층은 알루미늄을 포함하는 금속으로 이루어진 반도체 소자.

【청구항 18】

제 14 항 또는 제 15 항에 있어서, 상기 캐핑층은 TiN, Ti/TiN 또는 TaN으로 이루어지는 반도체 소자.

【청구항 19】

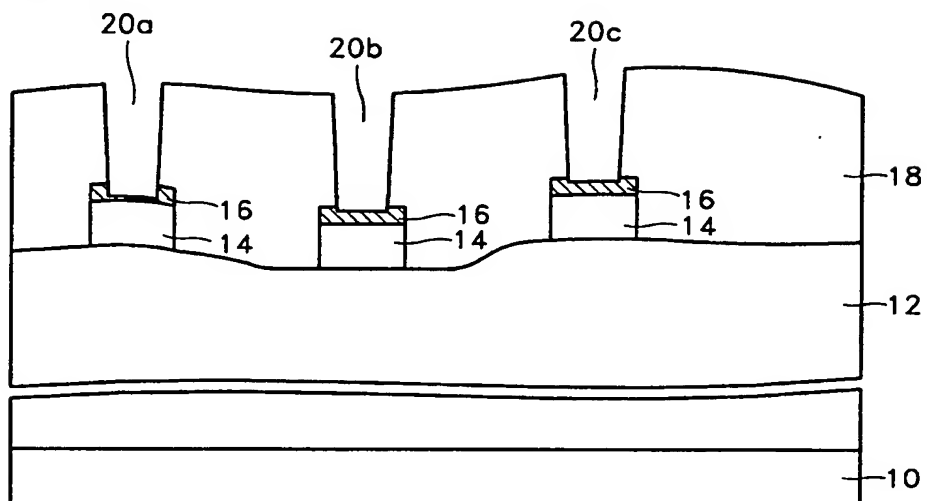
제 14 항 또는 제 15 항에 있어서, 상기 도전층은 상기 콘택홀 내에만 형성되는 도전성 플러그인 반도체 소자.

**【청구항 20】**

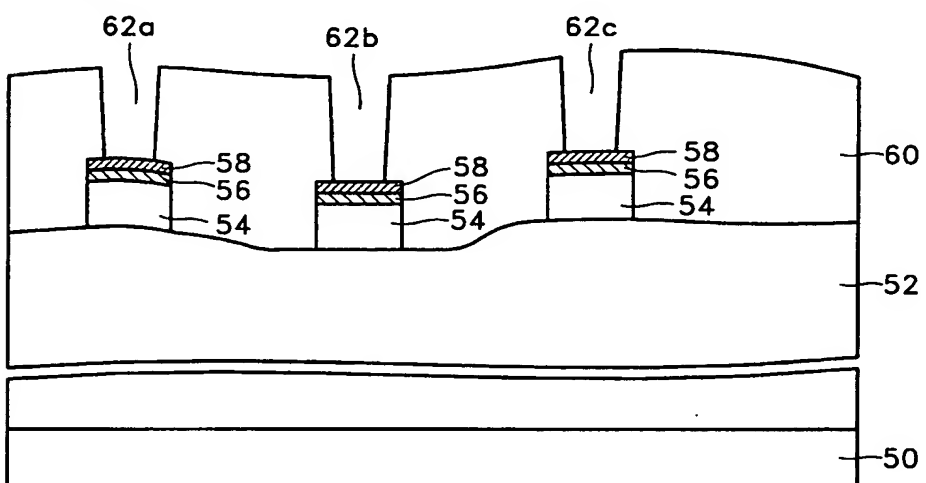
제 14 항 또는 제 15 항에 있어서, 상기 도전층은 상기 콘택홀 내부를 채우면서  
상기 층간 절연층 상면에도 형성되는 상부 배선층인 반도체 소자.

【도면】

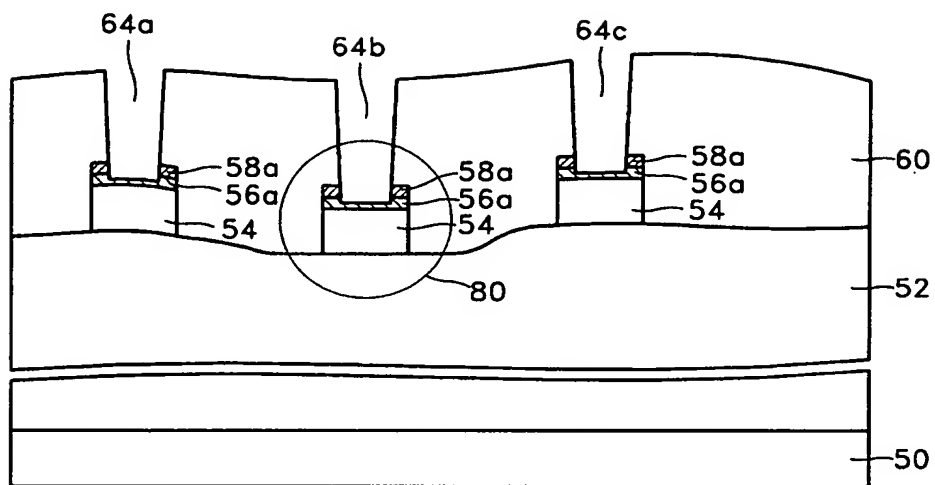
【도 1】



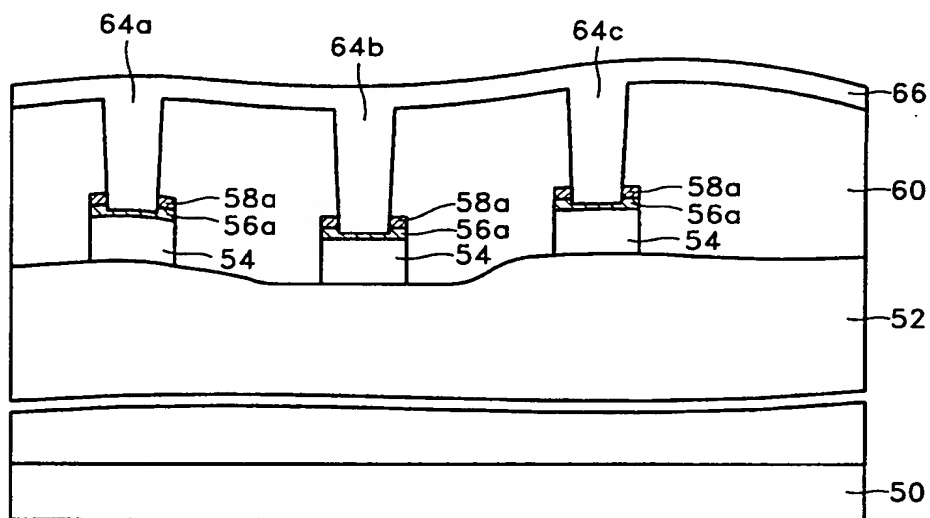
【도 2】



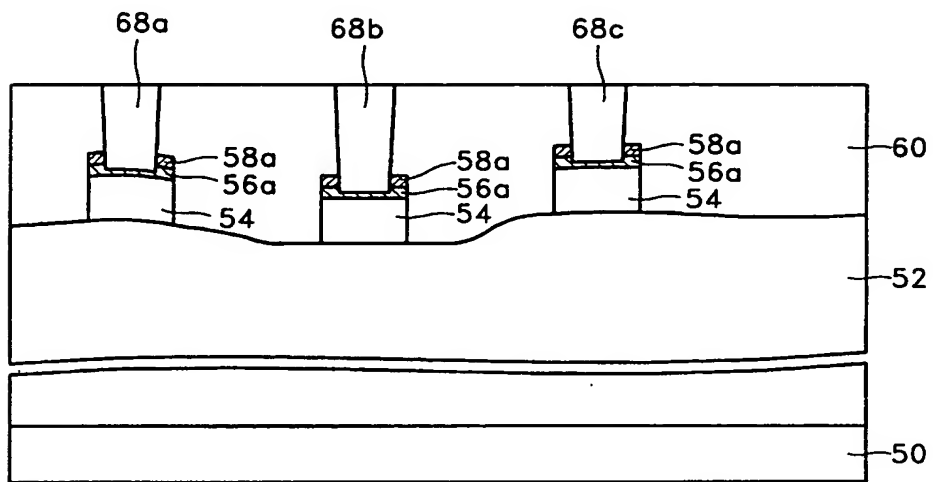
【도 3】



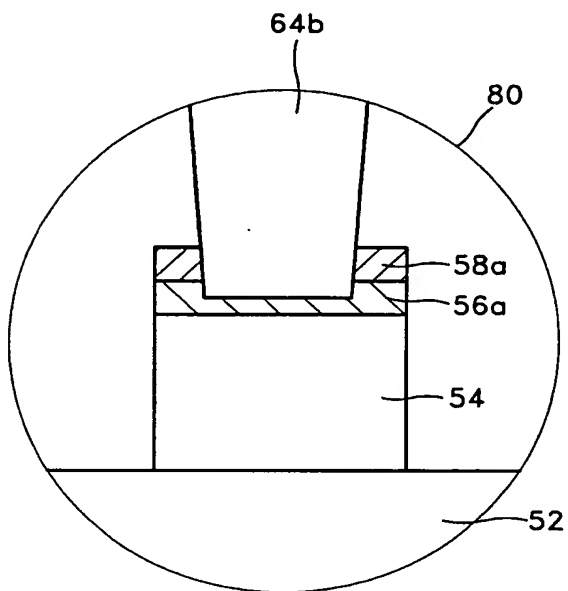
【도 4a】



【図 4b】



【図 5a】



【도 5b】

